

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-335646

(43) 公開日 平成10年(1998)12月18日

(51) Int.Cl.<sup>6</sup>  
H 0 1 L 29/78

識別記号

F I  
H 0 1 L 29/78

3 0 1 X

審査請求 有 請求項の数9 O L (全 7 頁)

(21) 出願番号 特願平10-77686

(22) 出願日 平成10年(1998)3月25日

(31) 優先権主張番号 2 0 5 6 1 / 1 9 9 7

(32) 優先日 1997年5月24日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 596034274

エルジー セミコン カンパニー リミテ  
ッド

大韓民国、チューンチェオンブクド、チ  
ェオンジュ、フンダクグ、ヒヤングジェ  
オンドン、1

(72) 発明者 ジャイープム スウ

大韓民国、チューンチェオンブクド、チ  
ェオンジュ、フンダクグ、カエシン  
ドン、3

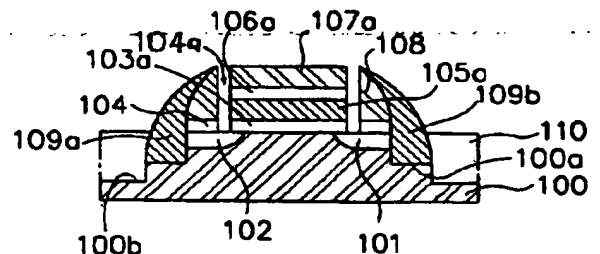
(74) 代理人 弁理士 笹島 富二雄 (外1名)

(54) 【発明の名称】 MOS 電界効果トランジスタ素子及びその製造方法

(57) 【要約】

【課題】 ゲート電極の側面に空間部を形成してソースとゲート間のフリンジングキャパシタの増加現象を防止し、ソース/ドレインに垂直なサイドウォールを形成して半導体チップの占有面積を減少し、ショートチャンネル効果を防止して生産原価を低減し得るMOS 電界効果トランジスタ素子を提供すること。

【解決手段】 複数の構造物が対称的に形成された半導体基板100 と、該基板内の両方側に形成された第1不純物領域101, 102 と、該半導体基板の上面に形成された第1絶縁層104 及び第1導電層(ゲート電極)105 と、該第1導電層105の両方側の前記第1不純物領域101, 102 上に形成された第1サイドウォールスペーサ108 と、前記第1サイドウォールスペーサ108 に隣接して形成された第2サイドウォールスペーサ109 と、前記ゲート電極105 と前記第1サイドウォールスペーサ108 間に形成された空間部104aと、を備えて構成されている。



3

パターン9をマスクとして前記ゲート6上の所定領域を露出させるために、前記第1絶縁層7をエッチングして第1絶縁層パターン7aを形成し、図8(A)に示したように、前記感光層パターン9を除去し、前記第1絶縁層パターン7aをマスクとして前記ゲート絶縁層4の所定領域を露出させるために前記ゲート6をエッチングしてゲートパターン6aを形成する。

【0005】次いで、図8(B)に示したように、前記ゲートパターン6a及び第1絶縁層パターン7aをマスクとして前記半導体基板1内に低濃度にドーピングされた不純物をイオン注入してソース/ドレイン2a、3aを形成し、前記ゲートパターン6a及び第1絶縁層パターン7aを包含する前記ゲート絶縁層4及びフィールド絶縁層5の上面にCVDにより酸化物質を蒸着し、エッチバックして前記ゲートパターン6a及び第1絶縁層7aの両方側面及びゲート絶縁層4の上面に第2絶縁層サイドウォールスペーサ8を形成すると、前記半導体基板上の一部が露出され、前記ソース/ドレイン2a、3aは、n-又はp-にドーピングされる。

【0006】次いで、図8(C)に示したように、前記第1絶縁層パターン7a及び第2絶縁層サイドウォールスペーサ8をマスクとして前記露出された半導体基板1内に、高濃度にドーピングされた不純物をイオン注入して高濃度の不純物領域のソース/ドレイン2b、3bを形成してMOS電界効果トランジスタの製造工程を終了する。

【0007】このとき、ソース/ドレイン2b、3bは、N+又はP+にドーピングされる。そして、図9に示したように、従来、通常のメタル配線構造のMOS電界効果トランジスタにおいては、前記フィールド絶縁層5、半導体基板1、第2絶縁層サイドウォールスペーサ8及び第1絶縁層パターン7aの上面に所定厚さの第3絶縁層10をCVDにより蒸着した後、前記ゲートパターン6a、高濃度不純物領域のソース及びドレイン領域2b、3bに配線用コンタクトホール11を夫々形成した後、メタル12を形成していた。

【0008】

【発明が解決しようとする課題】しかしながら、このように形成された従来MOS電界効果素子は、ソース/ドレイン2、3が水平構造に形成されるため、実際の半導体チップ上の占有面積が増大し、ゲート6と不純物領域2、3間に形成された第2絶縁層8の誘電率によりフリンジングキャパシタ (fringing capacitor) 値が増加して素子の特性が低下し、素子のフィールド領域1bの形成時に隔離用マスクを用いるため、製造工程が煩雑であるという不都合な点があった。

【0009】且つ、高濃度の不純物をイオン注入してソース/ドレイン2b、3bを形成するとき、接合の深さが深くなってショートチャンネル現象 (short channel effect) が発生するという不都合な点があった。そこ

4

で、本発明の目的は、ゲート電極と不純物領域間に空間部を形成して素子の特性を向上し、垂直構造のソース/ドレインを形成して高集積化を図り、ソース/ドレインをサイドウォールスペーサに形成してショートチャンネル現象を防止し、自己整合により素子間の隔離 (isolation) を行い得るMOS電界効果トランジスタの素子及びその製造方法を提供しようとするものである。

【0010】

【課題を解決するための手段】このような目的を達成するため本発明に係るMOS電界効果トランジスタ素子においては、半導体基板100上にゲート絶縁層103を包含して形成されたゲート電極105と、前記ゲート電極105の両側の前記半導体基板100内に形成された第1不純物領域101、102と、前記ゲート電極105の両側に形成された第1サイドウォールスペーサ108と、該第1サイドウォールスペーサ108の外周面に形成された第2サイドウォールスペーサ109a、109bと、前記ゲート電極105と前記第1サイドウォールスペーサ108間に形成された空間部104aと、を含んで構成されている。

【0011】なお、前記ゲート電極上に形成された第2絶縁層と、該第2絶縁層上に形成された第1窒化層と、前記ゲート電極上の一部分が露出されるように形成されたコンタクトホールと、該コンタクト内に形成され前記ゲート電極と連結された第1メタルと、該第1メタルに連結された第2メタルと、を含んで構成することができる。

【0012】また、前記第2導電線サイドウォールスペーサを、前記第1不純物領域よりも高濃度にドーピングされたソース/ドレイン領域とすることができる。そして、前記第1不純物領域は、基板に水平に形成され、前記第2導電線サイドウォールスペーサは、垂直に形成されて相互隣接される構成とすることができる。

【0013】また、前記の目的を達成するため、請求項5に記載の発明に係るMOS電界効果トランジスタ素子においては、複数の構造物が対称的に形成された半導体基板100と、該半導体基板100内の上部両側に形成された第1不純物領域101、102と、該半導体基板100の頂部に形成された第1絶縁層104及び第1導電層105と、該第1導電層105の両側の前記第1不純物領域101、102上に形成された第1サイドウォールスペーサ108と、該第1サイドウォールスペーサ108の側方の半導体基板100上にエッチングを施し、前記第1不純物領域101、102に隣接して形成された第2サイドウォールスペーサ109a、109bと、を含んで構成されている。

【0014】なお、前記第2サイドウォールスペーサの形成された半導体基板上の構造物上面に第4絶縁層を形成することができる。そして、前記第4絶縁層は、素子隔離膜として酸化膜で形成することができる。更に、前

7

域の第2導電層サイドウォールスペーサ(第2サイドウォールスペーサ)109a、109bを夫々形成する。

【0021】前記導電物質層のエッチバック工程時に、前記半導体基板100も所定厚さにエッチングして第2エッチング100b領域を形成する。次いで、図4に示したように、前記サイドウォールスペーサ108、109a、109b、前記第1窒化層パターン107a、前記第1絶縁層104及び前記第2エッチング領域100bの上面に酸化物質層を蒸着して形成し、エッチングを施して、エッチバックを施して前記第2導電層サイドウォールスペーサ109a、109bの側面及び第2エッチング領域100b上にフィールド絶縁層の前記第3絶縁層110を形成して、本発明の全ての工程を終了するが、このとき、前記第3絶縁層110のエッチング時に、前記第2窒化層サイドウォールスペーサ108の側面に形成された第1絶縁層104もエッチバックされて、空間部104aが形成される。

【0022】そして、本発明に係るMOS電界効果トランジスタ素子のメタル配線においては、図5に示したように、前記空間部104aを除いた前記サイドウォールスペーサ108、109、前記第1窒化層パターン107a及び前記第3絶縁層110上にCVD法を施して酸化物質層を蒸着して第4絶縁層112を形成し、該第4絶縁層112をエッチングしてコンタクトホール113を形成し、該コンタクトホール113及び第4絶縁層112上にメタルパターン114a、114bを夫々形成する。

【0023】

【発明の効果】以上説明したように本発明に係る請求項1においては、ゲート電極105と第1サイドウォールスペーサ108間に空間部104aを形成して前記ゲート電極と不純物領域間で発生するフリンジングキャパシタ値を減少させるようになっているため、素子の特性を向上し、高濃度にドーピングされたソース/ドレイン領域の第2サイドウォールスペーサを形成するようになっているため、素子動作時のショートチャンネル現象を防止し得るという効果がある。

【0024】そして、請求項4に記載の発明においては、第1不純物領域に第2サイドウォールスペーサを垂直に形成して半導体チップ上の占有面積を低減し得るという効果がある。又、請求項5に記載の発明においては、半導体の基板内に複数の構造物を自己整合により対称的に形成して工程の単純化を図り、高濃度にドーピングされたソース/ドレイン領域の第2サイドウォールスペーサを形成して素子動作時に発生するショートチャンネル効果を防止し得るという効果がある。

【0025】更に、請求項6に記載の発明においては、半導体基板上に第4絶縁層の隔離領域を自己整合により形成して工程の単純化を図り得るという効果がある。そして、請求項7に記載の発明においては、第4絶縁層に

8

より半導体基板上に形成された素子間を隔離させて絶縁特性を向上し得るという効果がある。又、請求項9に記載の発明においては、イオン注入を行って高濃度にドーピングされたソース/ドレイン領域の第2サイドウォールスペーサと低濃度にドーピングされた不純物領域とを連結するようになっているため、素子動作時に発生されるショートチャンネル現象を防止し得るという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係るMOS電界効果トランジスタ素子の構成を示した縦断面図である。

【図2】(A)～(C)は、本発明の一実施の形態に係るMOS電界効果トランジスタ素子の製造方法を示した工程断面図である。

【図3】(A)～(C)は、本発明の一実施の形態に係るMOS電界効果トランジスタ素子の製造方法を示した工程断面図である。

【図4】本発明の一実施の形態に係るMOS電界効果トランジスタ素子の製造方法を示した工程断面図である。

【図5】本発明の一実施の形態に係るMOS電界効果トランジスタ素子のメタル配線を示した断面図である。

【図6】従来MOS電界効果トランジスタ素子の構成を示した縦断面図である。

【図7】(A)、(B)は、従来MOS電界効果トランジスタ素子の製造方法を示した工程断面図である。

【図8】(A)～(C)は、従来MOS電界効果トランジスタ素子の製造方法を示した工程断面図である。

【図9】従来MOS電界効果トランジスタ素子のメタル配線を示した断面図である。

【符号の説明】

100：半導体基板  
100a：第1エッチング領域  
100b：第2エッチング領域  
101、109a：ソース  
102、109b：ドレイン  
101、102：第1不純物領域  
103：ゲート絶縁層  
103a：ゲート絶縁層パターン  
104：第1絶縁層(第1絶縁側壁)  
104a：空間部  
105：第1導電層(ゲート電極)  
105a：第1導電層パターン  
106：第2絶縁層  
106a：第2絶縁層パターン  
107：第1窒化層  
107a：第1窒化層パターン  
108：第2窒化層サイドウォールスペーサ(第1サイドウォールスペーサ)  
109a、109b：第2導電層サイドウォールスペーサ(第2サイドウォールスペーサ)

【图 7】

